

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229085

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/304

(21)Application number : 09-030090

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.1997

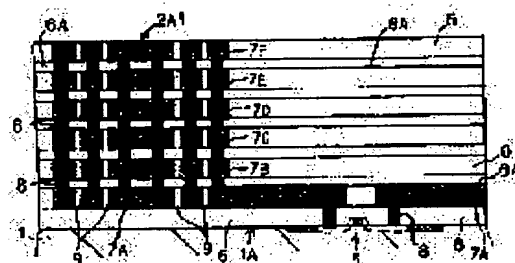
(72)Inventor : MIYAKE TAMOTSU

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress degradation in the planarity of a wide wiring due to dishing in chemical mechanical polishing by providing a wide wiring on a semiconductor element and making a slit in the planar region of each wiring layer.

**SOLUTION:** An insulation layer is formed on the major surface 1A of a semiconductor chip 1 on which an MOS transistor 5 is formed and the first layer 7A of wiring is formed thereon. A wiring pattern is formed by etching an insulator 6 and a metal for forming the first layer 7A of wiring is deposited and then it is etched to make a plurality of slits 9 at specified positions in the region of pad 2A1 on the first layer 7A of wiring. Subsequently, the first layer 7A of wiring and the region of pad 2A1 are formed by damascene method for planarizing it by chemical mechanical polishing. According to the method, degradation in the planarity of a wiring pattern due to dishing in chemical mechanical polishing can be suppressed.



## LEGAL STATUS

[Date of request for examination]

10.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3481812

[Date of registration]

10.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor device characterized by preparing the slit in the semiconductor device which has the pad which consists of multilayer-interconnection structure in the plane region of each wiring layer of said wiring or multilayer-interconnection structure large wiring of the width of face prepared on the semiconductor device by the DAMASHIN method, or after the wiring.

[Claim 2] The semiconductor wafer characterized by preparing the slit in the plane region of each wiring layer of said multilayer-interconnection structure in the semiconductor wafer which has the pad which consists of multilayer-interconnection structure of using for the probe of the test element group (TEG) of a semiconductor device electrically connected to wiring prepared on the semiconductor device by the DAMASHIN method.

[Claim 3] the wiring top prepared on a semiconductor device -- DAMASHIN -- the manufacture approach of the semiconductor device equipped with the process which forms the pad of multilayer-interconnection structure by law -- setting -- said DAMASHIN -- the manufacture approach of the semiconductor device characterized by to provide the process which forms a slit in the plane region of each wiring layer of said multilayer-interconnection structure before performing dishing in law, and the process which carry out chemical mechanical polishing of the thing in the condition that a slit was formed in this plane region, carry out flattening, and carry out a laminating one by one.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device and semiconductor wafer which have the pad which consists of multilayer-interconnection structure large wiring of the width of face especially prepared on the semiconductor device about LSI using a semiconductor device and this with the multilayer-interconnection structure established large wiring of the width of face formed by the DAMASHIN method, and on the wiring, and after the wiring.

[0002]

[Description of the Prior Art] Conventionally, there are the semiconductor device and semiconductor wafer of structure which form monolayer wiring on a semiconductor device using the DAMASHIN method, and form on it the pad which consists of multilayer-interconnection structure.

[0003]

[Problem(s) to be Solved by the Invention] this invention person found out the following troubles, as a result of examining said Prior art.

[0004] When the width of face of the pattern of the pad of said multilayer-interconnection structure is wide, it is chemical mechanical polishing (CMP:Chemical Mechanical Polishing hereafter). As the dishing effectiveness by the polish rates of a wiring field and an insulator layer field differing at the time of the polish called CMP arises and it is shown in drawing 6 (sectional view of the 1st layer of wiring which cut a with B-B' of a Fig. with the top view, and cut b with the tangent) Crevice 3'A is formed in the plane region of putt 3', and the surface smoothness of putt wiring deteriorates remarkably.

[0005] In the pad of multilayer-interconnection structure using said DAMASHIN method, when the width of face of the circuit pattern of the plane region of each wiring layer is wide, in case the metal for wiring is embedded at Mizouchi formed of the insulator layer, compared with a periphery, as for the center section of the circuit pattern, the altitude becomes low. That is, in case an insulator layer is etched and beer (Via) is formed, Via which is not penetrated in the center section is formed.

[0006] In the pad of multilayer-interconnection structure using law the two aforementioned reasons -- DAMASHIN -- As shown in drawing 7 , when the width of face of the circuit pattern of each wiring layer of wiring layer 7'A-7' F is thick, between

a center section and the periphery of the circuit pattern of each wiring layer 7'A-7' F Since the difference in elevation arises and surface smoothness deteriorates, when a circuit pattern uniform to a large area as usual is arranged, the pad especially used for the probe of the test element group (TEG) for evaluation of a semiconductor device There was a problem that it was very difficult to secure the surface smoothness of wiring.

[0007] Therefore, since Via which that by which the probe of the test element group (TEG) for evaluation of a semiconductor device is not certainly connected to said pad 3' produces, or is not especially penetrated in the center section of the insulator layer 6 was formed, the part which cannot take electrical installation between wiring layers arose, and there was a problem that a test was impossible.

[0008] For the crevice according [ accord / 3' / the pad of multilayer-interconnection structure / 3'A ] to the dishing effectiveness, and 6', in said drawing 6 and drawing 7 , an insulating layer and 6'A are [ the 1st layer of wiring , the 6th layer of wiring, and 8' of an interlayer insulation film and 7'A-7'F ] contact wiring.

[0009] The purpose of this invention is to offer the technique which can reduce degradation of the surface smoothness of large wiring of the width of face by dishing at the time of CMP polish, or pad wiring.

[0010] other purposes of this invention -- DAMASHIN -- in the pad of multilayer-interconnection structure using law, also when a pattern uniform to a large area as usual is arranged for the pad used for the probe of the test element group (TEG) for evaluation of a semiconductor device, it is in offering the technique which can secure the surface smoothness of wiring.

[0011] Other purposes of this invention are to offer the technique which can ensure the test of a semiconductor device.

[0012] Other purposes and new descriptions will become clear by description and the accompanying drawing of this specification at said row of this invention.

[0013]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0014] (1) In the semiconductor device which has the pad which consists of multilayer-interconnection structure, the slit is prepared in the plane region of each wiring layer of said wiring or multilayer-interconnection structure large wiring of the width of face prepared on the semiconductor device by the DAMASHIN method, or after the wiring.

[0015] (2) In the semiconductor wafer which has the pad which consists of

multilayer-interconnection structure of using for the probe of the test element group (TEG) of a semiconductor device electrically connected to wiring prepared on the semiconductor device by the DAMASHIN method, the slit is prepared in the plane region of each wiring layer of said multilayer-interconnection structure.

[0016] (3) the wiring top prepared on the semiconductor device -- DAMASHIN -- the manufacture approach of the semiconductor device equipped with the process which forms the pad of multilayer-interconnection structure by law -- setting -- said DAMASHIN -- providing the process which forms a slit in the plane region of each wiring layer of said multilayer-interconnection structure before performing CMP in law, and the process which carry out CMP of the thing in the condition that the slit was formed in this plane region, carry out flattening, and carry out a laminating one by one.

[0017] according to the above-mentioned means -- DAMASHIN -- since the object area polished by preparing a slit large wiring of width of face or after the wiring in the plane region of each wiring layer of multilayer-interconnection structure becomes small before performing CMP in law, the crevice by the dishing effectiveness is not produced. Thereby, degradation of the surface smoothness of the circuit pattern by dishing at the time of CMP polish can be reduced.

[0018] Also when this arranges a circuit pattern uniform to a large area as usual for the pad used for the probe of the test element group (TEG) for the quality evaluation of a semiconductor device in the pad of multilayer-interconnection structure using the DAMASHIN method, the surface smoothness of wiring can be secured.

[0019]

[Embodiment of the Invention] The operation gestalt of this invention is explained with reference to a drawing below at a detail.

[0020] In addition, in the complete diagram for explaining an operation gestalt, what has the same function attaches the same sign, and explanation of a repeat is omitted.

[0021] (Operation gestalt 1) The chip top view in which drawing 1 shows the outline configuration of RAM on the semiconductor wafer of the operation gestalt 1 of this invention, and drawing 2 are the sectional views cut with the A-A' line of the pad part of the test element group (TEG) of drawing 1. For a test element group's (TEG) pad, and two A2, in drawing 1, the pattern for a test and 2 A3 of wiring and 3 are [ a RAM (LSI) chip / in / in 1 / a wafer condition /, the test element group (TEG) for a test (quality evaluation) in 2, and 2A / a test element and two A1 / the pad of RAM chip 1 and 4 ] memory mats. drawing 2 -- setting -- 1A -- the principal plane (front face of Si) of the RAM (LSI) chip 1, and 5 -- for an interlayer insulation film and 7A, as for the 2nd layer of wiring -, the 6th layer of wiring, and 8, the 1st layer of wiring, and 7B-7F

are [ an MOS transistor and 6 / an insulating layer and 6A / contact wiring and 9 ] slits.

[0022] As shown in drawing 1 , the RAM (LSI) chip 1 in the wafer condition of this operation gestalt 1 is equipped with the test element group (TEG) 2 for a test (quality evaluation), the pad 3 of RAM chip 1, and the memory mat 4.

[0023] The pad two A1 of test element 2A and a test element group (TEG), the pattern two A2 for a test, and wiring 2 A3 are prepared for said test element group (TEG) 2.

[0024] As said pad two A1 is shown in drawing 2 , on principal plane (front face of Si) 1A in which MOS transistor 5 of the RAM (LSI) chip 1 was formed An insulating layer (SiO two-layer) is formed, 1st layer 7of wiring (aluminum, Cu, etc.) A is formed on it, and it has the composition of having connected electrically 1st layer 7of this wiring A, and the electrode of said MOS transistor 5 with said contact wiring (W etc.) 8. Two or more slits 9 are formed in the field of the pad two A1 of 1st layer 7of said wiring A. As shown in drawing 3 (sectional view which cut a with the top view and cut b with the A-A' line of a Fig.), the width of face of a slit 9 is about 2 micrometers, and 80-100 micrometers of wiring width of face are 2. Spacing between said slits 9 is a distance (for example, 8-10 micrometers) which is extent which the dishing effectiveness by the polish rates of a wiring field and an insulator layer field differing at the time of polish by CMP mentioned above does not produce. Namely, what is necessary is just the area whose area on the field of the pad two A1 separated to the slit 9 is extent which the dishing effectiveness by the polish rates of a wiring field and an insulator layer field differing at the time of polish by CMP mentioned above does not produce.

[0025] 1st layer 7of said wiring (aluminum, Cu, etc.) A etches said insulator layer 6, forms a circuit pattern, depots the metals (aluminum, Cu, etc.) used as 1st layer 7of wiring A, and by etching, as shown in drawing 2 and drawing 3 , it forms two or more slits 9 for this in the predetermined location of the field of the pad two A1 of 1st layer 7of said wiring A. and DAMASHIN which carries out CMP polish and carries out flattening of it -- the field of 1st layer 7of wiring A and a pad two A1 is formed in law.

[0026] thus, DAMASHIN -- when the field of the pad two A1 of 1st layer 7of wiring A is formed by law, since the object area polished becomes small, the crevice by the dishing effectiveness is not produced by forming two or more slits 9 in the field of the pad two A1 of 1st layer 7of wiring A. Thereby, the surface smoothness of 1st layer 7of wiring A can be improved.

[0027] It is made the same. The field of the pad two A1 of 2nd layer 7of said wiring B Said insulator layer 6 is etched, a circuit pattern is formed, and the metals (aluminum, Cu, etc.) used as 2nd layer 7of wiring B are depoted. This by etching <A  
HREF="/Tokujitu/tjitemdrw.ipdl?N0000=237&N0500=1

E\_N/;>?==6?7:///&N0001=726&N0552=9&N 0553= 000004" TARGET="tjitemdrw">  
drawing 2 And as shown in drawing 3 , two or more slits 9 are formed in the predetermined location of the field of the pad two A1 of 2nd layer 7of said wiring B. and DAMASHIN which carries out CMP polish and carries out flattening of it -- the field of 2nd layer 7of wiring B and its pad two A1 is formed in law. And the field of the pad two A1 of 1st layer 7of wiring A and the field of the pad two A1 of 2nd layer 7of wiring B are electrically connected with the contact wiring 8.

[0028] formation of the field of the pad two A1 of 1st layer 7of said wiring A, and 2nd layer 7of wiring B -- the same -- carrying out -- 3rd layer 7C of wiring - wiring 6th -- as sequential formation of layer 7F is carried out, it connects electrically with the contact wiring 8 and each wiring layer eye is shown in drawing 2 , the pad two A1 of multilayer-interconnection structure is formed.

[0029] Moreover, in every process of wiring, electric evaluation is attained by making it the pad two A1 of multilayer-interconnection structure in this way. That is, even if the semiconductor wafer with which the quality check by electric evaluation has completed even the 1st layer even of wiring is also a semiconductor wafer which even the 6th layer even of wiring completed, it becomes possible.

[0030] according to [ so that the above explanation may show ] this operation gestalt 1 -- DAMASHIN -- before performing CMP in law, since the object area polished becomes small, the crevice by the dishing effectiveness is not produced by forming a slit 9 in the plane region of the pad each multilayer-interconnection structure's wiring layer's, or a test element group's (TEG) pad two A1. Thereby, degradation of the surface smoothness of the circuit pattern by dishing at the time of CMP polish can be reduced.

[0031] Also when this arranges a pattern uniform to a large area as usual for the pad prepared for the test element group (TEG) for the quality evaluation of a semiconductor device in the pad of multilayer-interconnection structure using the DAMASHIN method, the surface smoothness of wiring can be secured.

[0032] With said this operation gestalt 1, although a test element group's (TEG) pad two A1 was mainly explained, probably, this invention is easily understood are applicable also to the pad which consists of multilayer-interconnection structure of a common semiconductor device from the above-mentioned explanation.

[0033] (Operation gestalt 2) Drawing 4 and drawing 5 are the top views of the pad part of the test element group (TEG) of RAM of the operation gestalt 2 of this invention.

[0034] The pad of the test element group (TEG) of this operation gestalt 2 changes into slit 9A or 9B the configuration of two or more slits 9 called at the field of the pad two A1 in said operation gestalt 1 at interlayer insulation film 6A, as shown in drawing 4

and drawing 5.

[0035] Thus, from preparing slit 9A or 9B by interlayer insulation film 6A, since the object area polished becomes small, the crevice by the dishing effectiveness is not generated. Thereby, degradation of the surface smoothness of the circuit pattern by dishing at the time of CMP polish can be reduced.

[0036] It cannot be overemphasized that this invention is applicable in all the things of the multilayer-interconnection structure formed wiring of the structure which aimed at improvement in surface smoothness like this operation gestalt 2 by preparing a slit-like pattern in the circuit pattern (pad) of a uniform large area, or after the wiring.

[0037] Furthermore, it cannot be overemphasized that it is applicable to all usual wiring that the structure with this slit does not remain only in a pad, but includes \*\*\*\* wiring used for a power-source line etc.

[0038] As mentioned above, as for invention made by this invention person, it is needless to say that it can change variously in the range which is not limited to said operation gestalt and does not deviate from the summary.

[0039]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0040] In the wiring structure using the DAMASHIN method, when the width of face of the pattern of the wiring section is wide, since the object area polished becomes small, the crevice by the dishing effectiveness is not generated by preparing a slit in the plane region of the pad especially used for the probe of TEG. Thereby, degradation of the surface smoothness of the circuit pattern by dishing at the time of CMP polish can be reduced.

[0041] Since the surface smoothness of wiring can be secured in the pad of multilayer-interconnection structure using the DAMASHIN method by this also when a uniform circuit pattern is arranged for the pad of the test element group (TEG) for the quality evaluation of a semiconductor device to a large area as usual, the test for quality evaluation can be ensured.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the chip top view showing the outline configuration of RAM on the semiconductor wafer of the operation gestalt 1 of this invention.



[Drawing 2] It is the sectional view cut with the A-A' line of the pad part of the test element group (TEG) of drawing 1 .

[Drawing 3] It is drawing showing the configuration of the pad of the test element group (TEG) of this operation gestalt 1.

[Drawing 4] It is the top view showing the configuration of the pad of the test element group (TEG) of RAM of the operation gestalt 2 of this invention.

[Drawing 5] It is the top view showing the configuration of other pads of the test element group (TEG) of RAM of this operation gestalt 2.

[Drawing 6] It is drawing for explaining the trouble of the pad of the test element group (TEG) of the conventional RAM.

[Drawing 7] It is drawing for explaining the trouble of the pad which consists of multilayer-interconnection structure of the test element group (TEG) of the conventional RAM.

[Description of Notations]

1 -- A RAM chip, 2 -- A test element group (TEG), 2A -- Test element, Two A1 -- The pad of TEG, two A2 -- The pattern for a test, 2 A3 -- Wiring, 3 [ -- An MOS transistor, 6 / -- An insulating layer, 6A / -- An interlayer insulation film, 7A / -- The 1st layer of wiring, 7B-7F / -- The 2nd layer of wiring -, the 6th layer of wiring, 8 / -- Contact wiring, 9 9A, 9B / -- Slit. ] -- The pad of a RAM chip, 4 -- A memory mat, 1A -- The principal plane of a RAM chip, 5

**Abstract:**

**PROBLEM TO BE SOLVED:** To suppress degradation in the planarity of a wide wiring due to dishing in chemical mechanical polishing by providing a wide wiring on a semiconductor element and making a slit in the planar region of each wiring layer.

**SOLUTION:** An insulation layer is formed on the major surface 1A of a semiconductor chip 1 on which an MOS transistor 5 is formed and the first layer 7A of wiring is formed thereon. A wiring pattern is formed by etching an insulator 6 and a metal for forming the first layer 7A of wiring is deposited and then it is etched to make a plurality of slits 9 at specified positions in the region of pad 2A1 on the first layer 7A of wiring. Subsequently, the first layer 7A of wiring and the region of pad 2A1 are formed by damascene method for planarizing it by chemical mechanical polishing. According to the method, degradation in the planarity of a wiring pattern due to dishing in chemical mechanical polishing can be suppressed.

[Translation done.]

(51)Int.Cl.<sup>6</sup>H 0 1 L 21/3205  
21/304

識別記号

3 2 1

F I

H 0 1 L 21/88  
21/304

Z

3 2 1 S

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号

特願平9-30090

(22)出願日

平成9年(1997)2月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 三宅 保

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 秋田 収喜

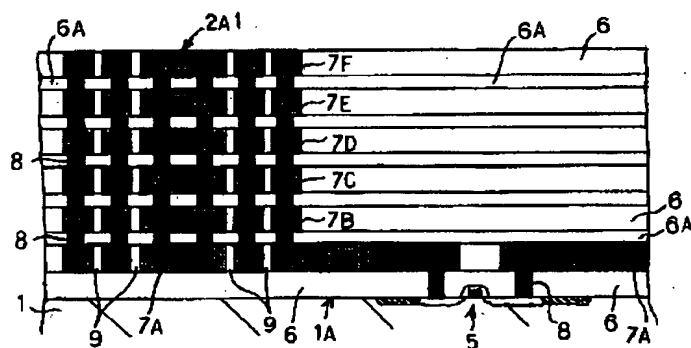
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 CMP研磨時のディッシングによるパッド配線の平坦性の劣化を低減する。また、半導体素子のテストを確実にする。

【解決手段】 ダマシン法により半導体素子上に設けられた幅の広い配線、もしくはその上に多層配線構造からなるパッドもしくはTEGのパッドを有する半導体装置もしくは半導体ウエーハにおいて、前記配線もしくは各配線目の平面領域にスリットが設けられている。また、半導体素子上に設けられた配線の上にダマシン法により多層配線構造のパッドを形成する工程を備えた半導体装置の製造方法において、前記ダマシン法におけるCMPを行う前に前記多層配線構造の各配線層の平面領域にスリットを形成する工程と、該平面領域にスリットが形成された状態のものをCMPして平坦化して順次積層する工程を具備したものである。

図 2



1 A…RAMチップの主面

6…絶縁層

7 A…配線第1層

8…コンタクト配線

5…MOSトランジスタ

6 A…層間絶縁膜

7 B～7 F…配線第2層～配線第6層

9…スリット

## 【特許請求の範囲】

【請求項1】 ダマシン法により半導体素子上に設けられた幅の広い配線もしくはその配線の上に多層配線構造からなるパッドを有する半導体装置において、前記配線もしくは多層配線構造の各配線層の平面領域にスリットが設けられていることを特徴とする半導体装置。

【請求項2】 ダマシン法により半導体素子上に設けられた配線に電氣的に接続された半導体素子のテストエレメントグループ（TEG）のプロープに用いる多層配線構造からなるパッドを有する半導体ウエーハにおいて、前記多層配線構造の各配線層の平面領域にスリットが設けられていることを特徴とする半導体ウエーハ。

【請求項3】 半導体素子上に設けられた配線の上にダマシン法により多層配線構造のパッドを形成する工程を備えた半導体装置の製造方法において、前記ダマシン法におけるディッシングを行う前に前記多層配線構造の各配線層の平面領域にスリットを形成する工程と、該平面領域にスリットが形成された状態のものを化学的機械的研磨して平坦化して順次積層する工程を具備したことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ダマシン法により形成する幅の広い配線及びその配線上に設けられた多層配線構造を持つ半導体素子とこれを用いたLSIに関し、特に、半導体素子上に設けられた幅の広い配線及びその配線の上に多層配線構造からなるパッドを有する半導体装置及び半導体ウエーハに関するものである。

## 【0002】

【従来の技術】従来、ダマシン法を用いて半導体素子上に単層配線を形成し、その上に多層配線構造からなるパッドを形成する構造の半導体装置及び半導体ウエーハがある。

## 【0003】

【発明が解決しようとする課題】本発明者は、前記従来の技術を検討した結果、以下の問題点を見いだした。

【0004】前記多層配線構造のパッドのパターンの幅が広い場合に、化学的機械的研磨（CMP：Chemical Mechanical Polishing 以下、CMPと称する）での研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じ、図6（aは平面図、bはa図のB-B'で切線で切った配線第1層目の断面図）に示すように、パッド3'の平面領域に凹部3'Aが形成され、パッド配線の平坦性が著しく劣化する。

【0005】前記ダマシン法を用いた多層配線構造のパッドにおいて、各配線層の平面領域の配線パターンの幅が広い場合に、絶縁膜により形成された溝内に配線用のメタルを埋め込む際に、配線パターンの中央部は周辺部に比べて標高が低くなる。すなわち、絶縁膜をエッチングしてビア（Via）を形成する際に、中央部に貫通し

ないViaが形成される。

【0006】前記の2つの理由により、ダマシン法を用いた多層配線構造のパッドにおいては、図7に示すように、配線層7'A～7'Fの各配線層の配線パターンの幅が太い場合に、各配線層7'A～7'Fの配線パターンの中央部と周辺部との間で、標高差が生じ、平坦性が劣化するため、特に、半導体素子の評価用テストエレメントグループ（TEG）のプロープに用いるパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合に、配線の平坦性を確保するのは非常に困難であるという問題があった。

【0007】そのため、前記パッド3'に半導体素子の評価用テストエレメントグループ（TEG）のプロープが確実に接続されないものが生じ、もしくは、特に、絶縁膜6の中央部に貫通しないViaが形成されるため配線層間の電氣的接続がとれない部分が生じ、テストができないという問題があった。

【0008】前記図6及び図7において、3'は多層配線構造のパッド、3'Aはディッシング効果による凹部、6'は絶縁層、6'Aは層間絶縁膜、7'A～7'Fは配線第1層目～配線第6層目、8'はコンタクト配線である。

【0009】本発明の目的は、CMP研磨時のディッシングによる幅の広い配線もしくはパッド配線の平坦性の劣化を低減することが可能な技術を提供することにある。

【0010】本発明の他の目的は、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の評価用テストエレメントグループ（TEG）のプロープに用いるパッドを従来どおり大面積に一樣なパターンをレイアウトした場合にも、配線の平坦性を確保することが可能な技術を提供することにある。

【0011】本発明の他の目的は、半導体素子のテストを確実にすることが可能な技術を提供することにある。

【0012】本発明の前記ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

## 【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】（1）ダマシン法により半導体素子上に設けられた幅の広い配線もしくはその配線の上に多層配線構造からなるパッドを有する半導体装置において、前記配線もしくは多層配線構造の各配線層の平面領域にスリットが設けられている。

【0015】（2）ダマシン法により半導体素子上に設けられた配線に電氣的に接続された半導体素子のテストエレメントグループ（TEG）のプロープに用いる多層配線構造からなるパッドを有する半導体ウエーハにおい

て、前記多層配線構造の各配線層の平面領域にスリットが設けられている。

【0016】(3) 半導体素子上に設けられた配線の上にダマシン法により多層配線構造のパッドを形成する工程を備えた半導体装置の製造方法において、前記ダマシン法におけるCMPを行う前に前記多層配線構造の各配線層の平面領域にスリットを形成する工程と、該平面領域にスリットが形成された状態のものをCMPして平坦化して順次積層する工程を具備したものである。

【0017】前述の手段によれば、ダマシン法におけるCMPを行う前に幅の広い配線もしくはその配線の上に多層配線構造の各配線層の平面領域にスリットを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0018】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)のプローブに用いるパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合にも、配線の平坦性を確保することができる。

【0019】

【発明の実施の形態】以下に本発明の実施形態を図面を参照して詳細に説明する。

【0020】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、繰り返しの説明は省略する。

【0021】(実施形態1) 図1は本発明の実施形態1の半導体ウエーハ上のRAMの概略構成を示すチップ平面図、図2は図1のテストエレメントグループ(TEG)のパッド部分のA-A'線で切った断面図である。図1において、1はウエーハ状態におけるRAM(LS1)チップ、2はテスト(品質評価)用のテストエレメントグループ(TEG)、2Aはテストエレメント、2A1はテストエレメントグループ(TEG)のパッド、2A2はテスト用パターン、2A3は配線、3はRAMチップ1のパッド、4はメモリマットである。図2において、1AはRAM(LS1)チップ1の主面(Siの表面)、5はMOSトランジスタ、6は絶縁層、6Aは層間絶縁膜、7Aは配線第1層目、7B~7Fは配線第2層目~配線第6層目、8はコンタクト配線、9はスリットである。

【0022】図1に示すように、本実施形態1のウエーハ状態におけるRAM(LS1)チップ1は、テスト(品質評価)用のテストエレメントグループ(TEG)2、RAMチップ1のパッド3、及びメモリマット4を備えている。

【0023】前記テストエレメントグループ(TEG)2には、テストエレメント2A、テストエレメントグル

ープ(TEG)のパッド2A1、テスト用パターン2A2、及び配線2A3が設けられている。

【0024】前記パッド2A1は、図2に示すように、RAM(LS1)チップ1のMOSトランジスタ5が形成された主面(Siの表面)1Aの上に、絶縁層(SiO<sub>2</sub>層)を形成し、その上に配線第1層目(A1, Cu等)7Aを形成し、この配線第1層目7Aと前記MOSトランジスタ5の電極とを前記コンタクト配線(W等)8により電気的に接続した構成になっている。前記配線第1層目7Aのパッド2A1の領域には複数のスリット9が設けられている。図3(aは平面図、bはa図のA-A'線で切った断面図)に示すように、スリット9の幅は例えば約2μmであり、配線幅は80~100μm<sup>2</sup>である。前記スリット9間の間隔は、前述したCMPでの研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じない程度の距離(例えば8~10μm)である。すなわち、スリット9で分離されたパッド2A1の領域上の面積が、前述したCMPでの研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じない程度の面積であればよい。

【0025】前記配線第1層目(A1, Cu等)7Aは、前記絶縁膜6をエッチングして配線パターンを形成し、配線第1層目7Aとなる金属(A1, Cu等)をデポし、これをエッチングにより、図2及び図3に示すように、前記配線第1層目7Aのパッド2A1の領域の所定位置に複数のスリット9を設ける。そして、それをCMP研磨して平坦化するダマシン法にて配線第1層目7A及びパッド2A1の領域を形成する。

【0026】このように、ダマシン法で配線第1層目7Aのパッド2A1の領域を形成した場合、配線第1層目7Aのパッド2A1の領域に複数のスリット9を設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、配線第1層目7Aの平坦性を向上することができる。

【0027】同様にして、前記配線第2層目7Bのパッド2A1の領域は、前記絶縁膜6をエッチングして配線パターンを形成し、配線第2層目7Bとなる金属(A1, Cu等)をデポし、これをエッチングにより、図2及び図3に示すように、前記配線第2層目7Bのパッド2A1の領域の所定位置に複数のスリット9を設ける。そして、それをCMP研磨して平坦化するダマシン法にて配線第2層目7B及びそのパッド2A1の領域を形成する。そして、配線第1層目7Aのパッド2A1の領域と配線第2層目7Bのパッド2A1の領域とをコンタクト配線8で電気的に接続する。

【0028】前記配線第1層目7A及び配線第2層目7Bのパッド2A1の領域の形成と同様にして配線第3層7C~配線第6層7Fを順次形成して、各配線層目をコンタクト配線8で電気的に接続し、図2に示すように、

多層配線構造のパッド2 A 1を形成する。

【0029】また、このように多層配線構造のパッド2 A 1にすることにより、配線のどの工程においても電気的評価が可能になる。すなわち、電気的評価による品質チェックが配線第1層目までしか完成していない半導体ウエーハでも、配線第6層目まで完成した半導体ウエーハであっても可能となる。

【0030】以上の説明からわかるように、本実施形態1によれば、ダマシン法におけるCMPを行う前に、多層配線構造の各配線層のパッドもしくはテストエレメントグループ(TEG)のパッド2 A 1の平面領域にスリット9を設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0031】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)に設けられているパッドを従来どおり大面積に一樣なパターンをレイアウトした場合にも、配線の平坦性を確保することができる。

【0032】前記本実施形態1では、主にテストエレメントグループ(TEG)のパッド2 A 1について説明したが、本発明は一般の半導体装置の多層配線構造からなるパッドにも適用できることは前述の説明から容易にわかるであろう。

【0033】(実施形態2)図4及び図5は本発明の実施形態2のRAMのテストエレメントグループ(TEG)のパッド部分の平面図である。

【0034】本実施形態2のテストエレメントグループ(TEG)のパッドは、図4及び図5に示すように、前記実施形態1におけるパッド2 A 1の領域に層間絶縁膜6 Aによる複数のスリット9の形状をスリット9 Aもしくは9 Bに変えたものである。

【0035】このように、層間絶縁膜6 Aによるスリット9 Aもしくは9 Bを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部が生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0036】本発明は、本実施形態2のように、一樣な大面積の配線パターン(パッド)にスリット状のパターンを設けることにより平坦性の向上を図った構造の配線もしくはその配線の上に形成された多層配線構造のもの全てにおいて適用できることはいうまでもない。

【0037】更に、このスリットを持つ構造はパッドのみにとどまらず、電源線等に用いる太幅配線を含む、全ての通常の配線に適用できることはいうまでもない。

【0038】以上、本発明者によってなされた発明は、

前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更し得ることは勿論である。

【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0040】ダマシン法を用いた配線構造において、配線部のパターンの幅が広い場合、特に、TEGのプロープに用いるパッドの平面領域にスリットを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部が生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0041】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)のパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合にも、配線の平坦性を確保することができるので、品質評価用のテストを確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の半導体ウエーハ上のRAMの概略構成を示すチップ平面図である。

【図2】図1のテストエレメントグループ(TEG)のパッド部分のA-A'線で切った断面図である。

【図3】本実施形態1のテストエレメントグループ(TEG)のパッドの構成を示す図である。

【図4】本発明の実施形態2のRAMのテストエレメントグループ(TEG)のパッドの構成を示す平面図である。

【図5】本実施形態2のRAMのテストエレメントグループ(TEG)の他のパッドの構成を示す平面図である。

【図6】従来のRAMのテストエレメントグループ(TEG)のパッドの問題点を説明するための図である。

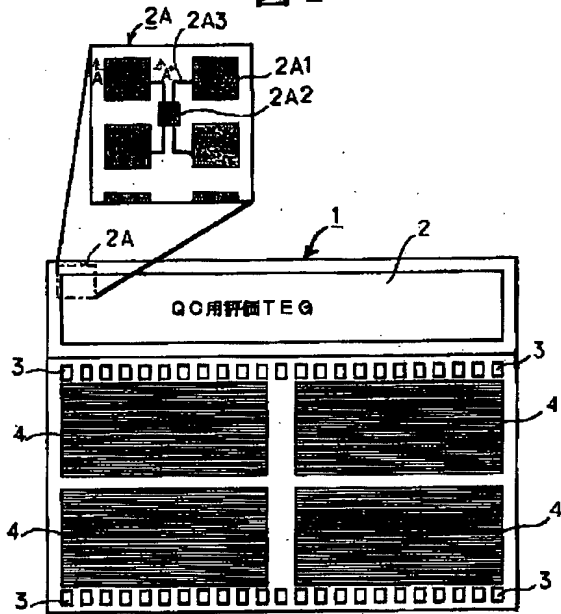
【図7】従来のRAMのテストエレメントグループ(TEG)の多層配線構造からなるパッドの問題点を説明するための図である。

【符号の説明】

1…RAMチップ、2…テストエレメントグループ(TEG)、2 A…テストエレメント、2 A 1…TEGのパッド、2 A 2…テスト用パターン、2 A 3…配線、3…RAMチップのパッド、4…メモリマット、1 A…RAMチップの主面、5…MOSトランジスタ、6…絶縁層、6 A…層間絶縁膜、7 A…配線第1層、7 B~7 F…配線第2層~配線第6層、8…コンタクト配線、9、9 A、9 B…スリット。

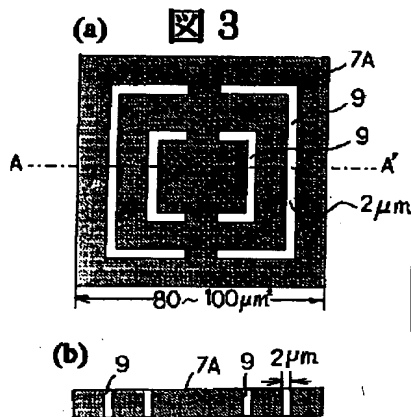
【図1】

図1

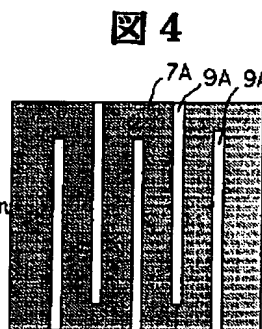


- 1…RAM (LSI) チップ    2…テストエレメントグループ (TEG)  
 2A…テストエレメント    2A1…パッド  
 2A2…テスト用パターン    2A3…配線  
 3…RAMチップのパッド    4…メモリマット

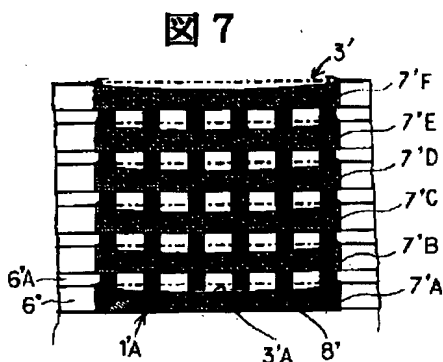
【図3】



【図4】

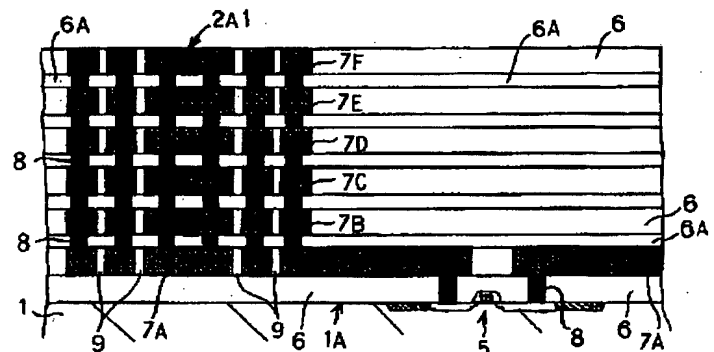


【図7】



【図2】

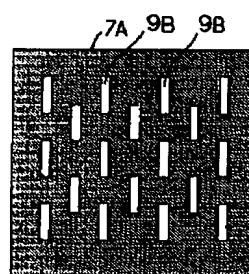
図2



- 1A…RAMチップの主面    5…MOSトランジスタ  
 6…絶縁層    6A…層間絶縁膜  
 7A…配線第1層    7B~7F…配線第2層~配線第6層  
 8…コンタクト配線    9…スリット

【図5】

図5



【図6】

図6

